

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-030988

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

F02D 45/00

G06F 12/16

(21)Application number : 2000-215627

(71)Applicant : DENSO CORP

(22)Date of filing : 17.07.2000

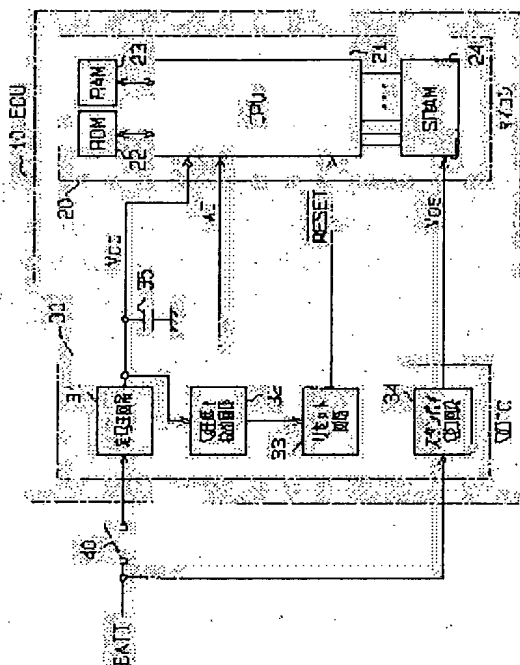
(72)Inventor : TAKEUCHI HIROHARU  
HIGUCHI SATOSHI

### (54) ELECTRONIC CONTROL DEVICE

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an electronic control device capable of precisely writing data in a backup memory while suppressing a processing load of a CPU.

**SOLUTION:** An SRAM 24 holds data while an ignition switch 40 is turned off. A CPU 21 not only periodically writes data in the SRAM 24, but also writes data when voltage is dropped, and takes in the data memorized in the SRAM 24 to execute injection/ignition control of an engine. The written data into the SRAM 24 are divided into plural parts. The CPU 21 writes data by a divided unit at a different timing when periodically writing into the SRAM 24, and writes all data to be written when writing at dropping of the voltage.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(51)InCl <sup>+</sup>	識別記号	P I	7-11(参考)
F02D	45/00	376	376B 3G084
G06F 12/16	310	340	376E 5B018
			310M
			340Q

審査請求 未請求 請求項の数3 OL (全7頁)

(21) 出願番号	特願2000-215671(P2000-215672)	(71) 出願人	000046280
(22) 出願日	平成12年7月17日(2000.7.17)	株式会社デンソー	
		愛知県刈谷市昭和町1丁目1番地	

(74)代理人	株式会社デジッソ一 愛知県刈谷市昭和町1丁目1番地 竹内 喜博
(72)発明者	愛知県刈谷市昭和町1丁目1番地 株式会社 佐々子一内
(72)発明者	山口 聡 愛知県刈谷市昭和町1丁目1番地 株式会社 佐々子一内
(74)代理人	100086765 弁護士 原田 博宣 (外1名)

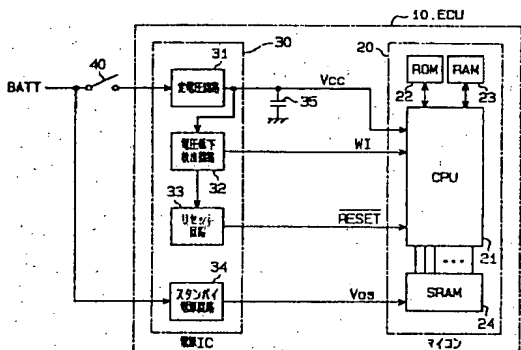
最終頁に記入

(54) 【発明の名称】 電子制御装置

(57) 【要約】

【課題】CPUの処理負荷を抑えつつ、バックアップメモリに的確にデータを書き込むことができる電子制御装置を提供する。

【解決手段】SRAM2 4は、イタニエンジヨンスイッチ4 0 0のオーム2 4時に定期的にデータを書き込むとともに電圧低下時にデータを取り込んでエベンジョンの積付・点検制御等を実施している。CPU2 1は、SRAM2 4への定期的なデータ書き込みに際し、分割した単位で異なるタイミングでデータを書き込み、電圧低下時のデータ書き込みに際し、書込対象の全てのデータを書き込む。



【特許請求の範囲】

【請求項1】 電源スイッチのオフ時にもデータを保持するバッタアップメモリと、

を、実装するCPUと、を備えた電子制御装置において、  
フロッピーメモリに記憶されたデータを取り込んで各種制御  
とともに電源電圧の低下時にもデータを書き込み、バック  
アップバッファメモリに定期的にデータを書き込むと

前配CPUは、前配バックアップメモリへの定期的なデータ書き込みに関し、書き込むべきデータを複数に分割してその単位毎に異なるタイミングでデータを書き込むとともに、電源電圧の低下時のデータ書き込みに関し、その都度必要な全てのデータを書き込むことを特徴とする電子制御装置。

【請求項2】 請求項1に記載の電子制御装置において、

前記書き込みデータを、データ数が均等となるよう分割したことを特徴とする電子制御装置。

【請求項3】 請求項1に記載の電子制御装置において、

前記書き込みデータを、各種制御毎に分割したことを特徴とする電子制御装置。

【発明の詳細な説明】  
【0001】

【発明の属する技術分野】本発明は、電源スイッチのオフ時にも記憶データを保持するバックアップメモリを備えた電子制御装置に関するものである。

**[0002]**

【従来の技術】この種の装置として、車載電子制御装置（ECU）が知られており、同ECUでは、例えばエンジン制御等を実施するための各種制御データがバッテリ（バッテリー）としてのスタンバイRAM（SRAM）にバッテリメモリとして保存されている。詳しくは、ECUにおいて、イグニッションスイッチのオフ、あるいは電気ノイズ等による電線の遮断に伴い電源電圧が低下したとしても、SRAMには、バッテリ用電源電圧が供給されて記憶データが保持されるようになっている。また、ECUでは、エンジン制御等を司るCPUを備え、同CPUは、イグニッションスイッチのオン等によって電源電圧が供給されると、SRAMの記憶データを読み込んで各種制御を実行する。つまり、CPUは、電線の遮断前の各種制御データを継続的に使用することによりエンジンの制御を保つようにしている。

[0000]、各種制御データをSRAMにバックアップする手段としては、図6に示すように、定期的なタイマトリップ方法と知られている。図6において、SRAMへのデータの書き込みは、例えば、100ms毎に実施されている。ここで、電源電圧が正常範囲(5V)で保持されているときにはデータは正常に書き込まれる。しかしながら、点検をホスように、電源電圧の低下時にも定期的に書き込みを実施すると、正常な

データが破壊され願ったデータをSRAMに書き込んでしまおうそれがあった。

に、重要なデータをSRAMに書き込むようにして、

【0006】因みに、ECUの電源部には、数多くの容量素子（コンデンサ）が設けられている。特に、起爆線制御を行うECUでは複数のマイコンを持っており、各マイコンの電源部にはノイズ取り用のコンデンサ（電源用バズコン）が付くと共に、各電壓制御部にもノイズ取り用のコンデンサが付く。そのため、例えば電圧の遮断に伴い、図2の如く電圧 $V_{cc}$ が変化する場合、その変化は数微秒立ち下がりだけでなく、なかなか立ち上がりとなる。つまり、電源の遮断時に $V_{cc}$ が緩やかに立ち下がるので、SRAMへのデータ書き込み時間がある程度確保できる。

【0000】ところで、上記公報の装置では、電源電圧Vccの低下時にのみSRAMへのデータ書き込みを行っている。従って、図7に示す割込みタミソング111に書き込みが正常に行われず最新データをSRAM11に書き込めなかった場合は、前回の電圧低下時の割込みタミソング110に書き込んだ古いデータがSRAM11に配電されていることとなる。

【0000】そこで、電源電圧V<sub>cc</sub>が定電圧(5V)に保たれているときに、定期的なデータ書き込みを行うようにすると、電源電圧V<sub>cc</sub>の低下時にもデータ書き込みを行う装置が提案されている。このようにすれば、電池低電圧時にSSRAMにデータを書き込みない場合でも、定期的に書き込んだデータがSSRAMに保持されることとなる。これにより、電源瞬断時における制御データの信頼性を確保できる。

【0006】 車載ECUにおいて、エンジン側の燃料・点火制御、トランスミッション制御、電子スロットル制御等の各種制御を行う大型のECUがある。こうしたECUにおいては、各種制御が複雑で、かつリアルタイムに制御する必要があり、CPUの処理負荷が高い。また、SRAMの書き込み速度も遅いため、定期的にデータ書き込みを実施すると、CPUの処理負荷が増え、制御性の悪化が問題となる。

【00009】  
【説明が解決しようとする課題】本発明は、上記問題に着目してなされたものであって、その目的とするところは、CPUの処理負荷の増加を抑えつつ、バックアップメモリにデータの書き込むことができる電子制御装置を提供することである。

【0010】

【課題を解決するための手段】請求項1に記載の電子制御装置では、電源スイッチのオフ時にバックアップメモリにデータが保持されている。同バックアップメモリには、CPUにより定期的にデータが書き込まれる。そして、電源電圧の低下時にデータが書き込まれる。そして、CPUによってバックアップメモリの記憶内容が取り込まれて各種制御が実施される。こうした電子制御装置において、バックアップメモリへの定期的な書き込みを実施する際には、CPUの処理負荷が増加することとなる。特に、エンジン制御等を実行する大型のECUでは、制御が複雑で、かつリアルタイムに制御する必要があり、処理負荷が増加により制御性の悪化が問題となる。そのため、定期的なデータ書き込みを頻りにし、データの一度に書き込むのではなく、書き込みデータを複数に分割し、その分割した単位毎に異なるタイミングでデータを書き込むようにした。このようにすれば、CPUの処理負荷の増加を抑えることができ、制御性の悪化を抑制できる。また、電源電圧の低下時のデータ書き込みに関し、その都度必要な全てのデータを書き込むのではなく、上記定期書き込みと電源低下時の一括書き込みとが組合わせて行われ、必要とされる全てのデータが正しくバックアップメモリに書き込まれることとなる。なお、CPUの処理負荷が問題となる大型のECUでは、数多くの容量負荷が掛けられることにより、電源低下時の書き込み可能時間が長くなるため、書き込みデータが増えたり問題となる。その結果、CPUの処理負荷の増加を抑えつつ、バックアップメモリに適正にデータを書き込むことができる。

【0011】請求項2に記載のように、データ数が均等となるよう書き込みデータを分割すると、CPUの処理負荷を均一にできるため実用上好ましい。また、請求項3に記載のように、各種制御毎に書き込みデータを分割すると、バックアップメモリの記憶データが制御毎に更新されることとなり、実用上好ましいものとなる。

【0012】

【発明の実施の形態】以下、この発明を具体化した実施の形態を断面に従って説明する。本実施の形態は、車両制御や車載エンジン制御の中核をなす電子制御装置（以下、ECUという）の改良に関し、同ECUに内蔵されたスタンバイRAM（以下、SRAMという）へのデータ書き込みを好適に実施するための技術について、以下に詳細に説明する。なお、本実施の形態のECUは、エンジン制御、燃料・点火制御、トランスミッション制御、電子スロットル制御等を実施する。

【0013】図1は、ECU100の概略を示すブロック図である。ECU100は、各種制御を司るマイコン20と、バッテリー電圧BATTを取り込む電源IC30とを備える。

【0014】マイコン20は、CPU21、ROM2

2、RAM23、SRAM24を備え、CPU21はROM22内に格納されている制御プログラムを実行し、制御データ等をRAM23に一時的に記憶する。バックアップメモリとしてのSRAM24には常に電圧Vosが印加され、それによりSRAM24内の記憶内容が保持される。

【0015】また、電源IC30は、定電圧回路31、電圧低下検出回路32、リセット回路33及びスタンバイ電源回路34を備える。定電圧回路31は、電源スイッチとしてのイグニッションスイッチ（IGSW）40を介してバッテリー電圧BATTを取り込み、定電圧（例えば5V）の電源電圧Vccを生成する。定電圧回路31とマイコン20との間には容量負荷としてのコンデンサ（バスコン）35が接続されており、このコンデンサ35はノイズ除去等の働きをする。

【0016】電圧低下検出回路32は、定電圧回路31で生成される電源電圧Vccを取り込み、その電圧Vccを予め設定しておいたしきい値電圧Vth1（例えば4.5V）と比較する。そして、電源電圧Vccがしきい値電圧Vth1まで低下すると、レベルの電圧検出信号W1をCPU21に出力する。このW1=Lの状態では、電圧低下検出回路32は、電源電圧Vccを予め設定しておいたしきい値電圧Vth2（例えば4.7V）と比較する。そして、電源電圧Vccがしきい値電圧Vth2まで上昇すると、Hレベルの電圧検出信号W1をCPU21に出力する。つまり、電圧低下検出回路32は、電源電圧Vccの低下時に、Vcc<Vth1になるとW1をHとし、電源電圧Vccの上昇時に、Vcc>Vth2になるとW1をL-Hとする。

【0017】リセット回路33は、電源電圧Vccが所定のリセット電圧Vth3（例えば3.5V）まで低下したと電圧低下検出回路32にて検出された時、CPU21に対してリセット信号（RESET）を出力する。また、スタンバイ電源回路34は、イグニッションスイッチ40を介してバッテリー電圧BATTを入力し、電圧Vosを生成し、その電圧VosをSRAM24に印加する。

【0018】ECU100には、図示しない各種センサや各種アクチュエータが接続されている。そして、CPU21は、各種センサの検出信号を取り込んでエンジン運転状態を判定するとともに、その運転状態に基づいて各種アクチュエータ（例えば、インジェクタ、イグナイタ等）を制御する。なお、センサ検出信号としては、エンジン回転数信号、アグセル開度信号、スロットル開度信号、エンジン冷却水温信号、吸気道信号、油温信号等がある。そして、これらセンサ検出信号に基づく制御データがRAM23に記憶されてCPU21により各種制御に使用される。また、RAM23に記憶される制御データのうち、所定の制御データがRAM23からSRAM24に書き込まれるようになっている。

【0019】本実施の形態では、定期的（例えば64ms毎）に、SRAM24へのデータ書き込みを実施するとともに、電源電圧Vccの低下時に、SRAM24へのデータ書き込みを実施するようにしている。【0020】ところで、ECU100は、エンジンの燃料・点火制御、トランスミッション制御、電子スロットル制御等の複雑な制御を実施する大型のECUである。つまり、ECU100において、電源部分に設けられるコンデンサ35や各種駆動部に設けられるコンデンサの容量は大型のECUと比較して大きく、電源遮断時における電源電圧Vccの変化は、なかなか立ち下がりとなる。そのため、電源電圧Vccの低下時におけるデータ書き込み可能時間は長くなる。よって、電源電圧Vccの低下時には、書き込み対象の全てのデータをSRAM24に書き込むようにしている。

【0021】一方、CPU21は、定期的なデータ書き込みと並行して燃料・点火制御、トランスミッション制御、電子スロットル制御等をリアルタイムに行っており、CPU21の処理負荷が大きいため、各種制御も複雑であり、SRAM24への書き込みデータも多くなっている。従って、定期的な書き込みでは、全てのデータを一度に書き込むのではなく、SRAM24への書き込みデータを複数に分割し、分割した単位で異なるタイミングで書き込むようにしている。本実施の形態では、SRAM24への書き込みデータを、それぞれのデータ数が均等となるように第1データ、第2データ、第3データの3つに分割している。

【0022】次に、CPU21により実施されるSRAM24の書き込み処理を、図2のタイミングチャートと図3〜図5のプロセッサートを用いて説明する。図2において、電源電圧Vccが所定のしきい値電圧Vth1以上に保持されているタイミング以前では、図3に示す書き込み処理が定期的（例えば64ms毎）に実施される。この定期的な書き込み処理では、図2に示すように、64ms毎の異なるタイミングで第1データ〜第3データの3つに分割して、分割した単位のデータがSRAM24に書き込まれる。

【0023】詳しくは、図3のステップ100にて、CPU21は、先ず、書き込みデータの判定をする。つまり、第1〜第3データのうちのいずれのデータの書き込みタイミングを判定する。図2、ステップ110にて、他の割り込み処理を禁止し、図2、ステップ120にて、書き込みフラグがOFFであるか否かを判定する。ここで、同書き込みフラグは、SRAM24の所定の記憶領域に設定されており、書き込みフラグのONは、電圧低下時の書き込みが完了した旨を表す。そして、書き込みフラグがONであれば、ステップ130〜160の処理を実施することなくステップ170に移行して、他の割り込みを許可した後本処理を終了する。一方、書き込みフラグがOFFであれば、ステップ130に進み、一定量（例えば、数バ

イト）のデータをRAM23からSRAM24に書き込む。その後、ステップ140にて、割り込みを許可した後、ステップ150に移行して、データの書き込みが完了したか否かを判定する。なおここでは、ステップ160にて判定されたデータ（第1〜第3データのいずれかのデータ）について、書き込みが完了したか否かを判定する。同ステップ150にて、否定判定された場合、ステップ110に戻り、再びステップ110〜150の処理が実施される。そして、ステップ150にて、データ書き込みが完了した旨が判定されたとき、ステップ160に移行する。そして、同ステップ160では、次の書き込みデータを設定した後、本処理を終了する。なお、ステップ160では、今回書き込みデータが第1データであれば第2データを次の回の書き込みデータとして設定する。同様に、今回のデータが第2データであれば第3データを、今回のデータが第3データであれば第1データを、次の回のデータとして設定する。

【0024】一方、図2に示すように、電源電圧Vccが所定のしきい値電圧Vth1まで低下すると、電圧低下検出回路32からLレベルの電圧検出信号W1が出力される（タイミング）。これにより、電圧低下時の割り込みがかけられ、図4に示す電圧低下時の書き込み処理が実施される。なお、電圧低下時の割り込みは、その優先順位が最も高い割込レベルで設定されている。また、定期的な書き込みと異なり、図3のステップ120、130の処理中に電圧低下時の割り込みがかかる場合は、割り込みが禁止状態であるので、ステップ140で割り込みが許可されるまで、図4の処理が待たれる。

【0025】図4に示すように、ステップ200にてCPU21は、SRAM24への書き込み対象の全データ（第1〜第3データ）をRAM23からSRAM24に書き込む。次に、ステップ210にて、書き込みフラグをONした後、本処理を終了する。具体的には、図2に示す期間t1〜t2において、データがSRAM24へ書き込まれ、その書き込みが完了した時刻t2で書き込みフラグがONとなる。そして、書き込みフラグがONとなると、図3のステップ120にて否定判定されて、定期的な書き込みが禁止される。つまり、電圧低下時にデータ書き込みが禁止され、定期的な書き込みが開始されることはない。また、図2に示すように、定期的な書き込みの途中、電圧低下時のデータ書き込みが再開されたとき、その終了後に定期的な書き込みが再開されることはない。ここで、電圧低下時の書き込みが完了する時刻t2では、電源電圧Vccが低下しているため、定期的な書き込みを行うと誤ったデータを書き込んでしまうおそれがあるが、その書き込みを禁止することにより、データ書き込みが回避される。

【0026】また、図2に示すように、電源電圧Vccがリセット電圧Vth3まで低下すると、リセット回路33からCPU21に対してリセット信号（RESET

T) が出力される (t3 のタイムスラック)。その後、電源電圧  $V_{cc}$  がリセット電源  $V_{thr3}$  以上に復帰し、リセット信号 ( $\overline{\text{RESET}}$ ) の出力が解除されると (t4) のタイムスラック)、CPU21 により所定の初期化処理が実施された後、図5の処理が、例えば10ms 毎に実施される。

【0002】図5のスレッツ300にて判定したか否かを判定する。ここでは、電圧電圧V<sub>cc</sub>が正常値に判定したか否かを判定する。2. (例えば、4. 7V) 以上となつてから所定時間が経過したか否かで判定する。より具体的には、図2に示すように、電圧電圧V<sub>cc</sub>がしきり値電圧V<sub>th2</sub>まで上昇すると、電圧低下検出回路3からHレベルの電圧検出信号W1が出力される(5のタイミング)。CPU211は、W1=Hの状態が500ms(0.5秒)間継続したか否かで判定する。そして、図5のスレッツ300にて否定判定された場合、スレッツ310に移行することなく本処理を終了する。また、スレッツ300にて肯定判定された場合、電圧電圧V<sub>cc</sub>が正常値に帰した旨を判定し、スレッツ310にて書込プログラムのFFを終了。これにより、図3のスレッツ120にて肯定判定されるようになる。定期的な書き込みが実施される。

【0028】つまり、図2に示すように、電源電圧 $V_c$ が変動したとしても、 $W1=H$ の状態が500ms間継続するまでの間は、書き込みがONに保持され、定期的に書き込みが禁止される。そして、 $W1=H$ の状態が500ms間継続し、電源電圧 $V_c$ が定電圧(5V)に確実に復帰した6のタイミング以降で、書き込みがOFFされ、定期的な書き込みが再開される。

【0029】以上詳述した本実施の形態によれば、以下に示す効果が得られる。

(1) 定期的な書き込み時には、格段に分解した単位でデータを書き込む一方、電圧低下の場合、全データを一括して書き込むCPU 2.1の処理負荷の増加を抑えることができる。各制御例における制動電圧の変化を抑制できる。また、全てのデータにおける書き込みの頻に行われるようになる。特に、処理負荷が問題となる大型のECCUにおいて、好適に具体化できる。

【0030】(2) SRAM24への書き込みデータを、データ数が均等となるよう第1〜第3データに分割したので、CPU21の処理負荷を均一にでき実用上好ましいものとなる。

【0003】なお本発明は、上記以外に次の形態にて具体化できる。上記実施の形態では、SRAM 24への書き込みデータを、第1～第3データのうち1つに分割するのではなく、分割数に設定されるものではない。また、第1～第3データは、それぞれのデータ数が均等となるよう分割するものであったが、これに限るものではない。

ない。例えば、照射・点欠制御、トランスミツション制御、電子スロツトル制御等の各制御毎に書き込みデータを一割分けてもよい。この場合、SRAM24の記憶データは、各制御毎に更新されることとなり、各制御毎の制御性を確保できるので、実用上好ましいものとなる。

【0032】上記変換の影響では、電圧低下時にて、空  
てのデータを書き込むにしたが、これに限るもので  
はない。例えば、水温、吸気流量等の変化度合の小さなデータに  
ついて、定期的な書き込みに加え、電圧低下下時に  
繰り返し書き込む必要はない。つまり、こうした変化度  
合の小さなデータを除くデータをその都度必要なデータ  
として電圧低下時に書き込むようにしてもよい。

【0033】また、上記実施の形態では、 $W1=H$ の状態が5000ms間継続したときに、書き込み／読出しの操作にわたる遅延時間（ $T_{\text{LATENCY}}$ ）の補正に要する初期化処理にて、書き込み／読出しの操作を行うにしてもよい。具体的には、初期化処理には所定の時間がかかり、その処理中に電源電圧 $V_{CC}$ が上昇し、同処理の最後には電源電圧 $V_{CC}$ が正常値まで上昇することがある。この場合、初期化処理の最後で書き込み／読出しの操作を行ってもよく、これにより、定期的な書き込みを再開すると、割ったデータをSRAM24に書き込むことを回避できる。

【0003.4】上記実施態様の形態では、バックアップメモリとしてSRAM24を用い、その適用例を説明したが、SRAM24に代えて、EEPROMやフラッシュメモリ等、電氣的に記憶内容を消去及び書き込み可能な不揮発性メモリを用いてもよい。要は、電源スイッチのオフ時にも記憶内容を持続するメモリであれば、何れにも本発明が適用できる。

【図面の簡単な説明】

【図1】発明の実施の形態におけるECUの概要を示すブロック図。

【図2】SRAMへの書き込み動作を説明するためのタイムチャート。

【図3】定期的書き込み処理を説明するためのフローチャート。

【図4】電圧低下時の書き込み処理を説明するためのフローチャート。

【図5】電源電圧の復帰後の処理を説明するためのフローチャート。

【図6】従来の定期的書き込みを説明するためのタイムチャート。

【図7】従来の電圧低下時の書き込みを説明するためのタイムチャート。

【符号の説明】  
10…ECU、20…マイコン、21…CPU、24…SRAM、40…電源スイッチとしてのイグニッションスイッチ。

